

Основы профессиональной деятельности (ну наконец, последняя!)

Клименков С.В.
2019-2020 уч. год
v.1.45.02 от 23.05.2020

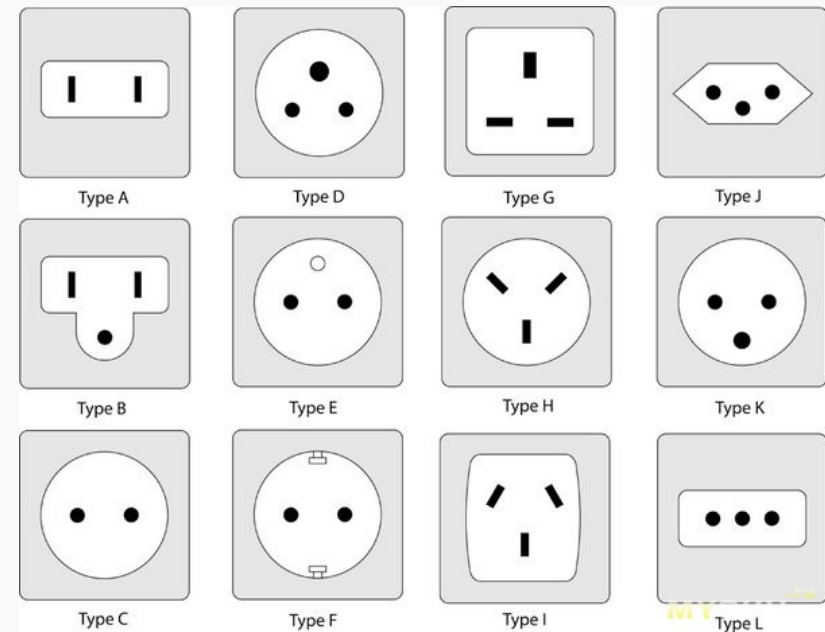
1

Интерфейсы

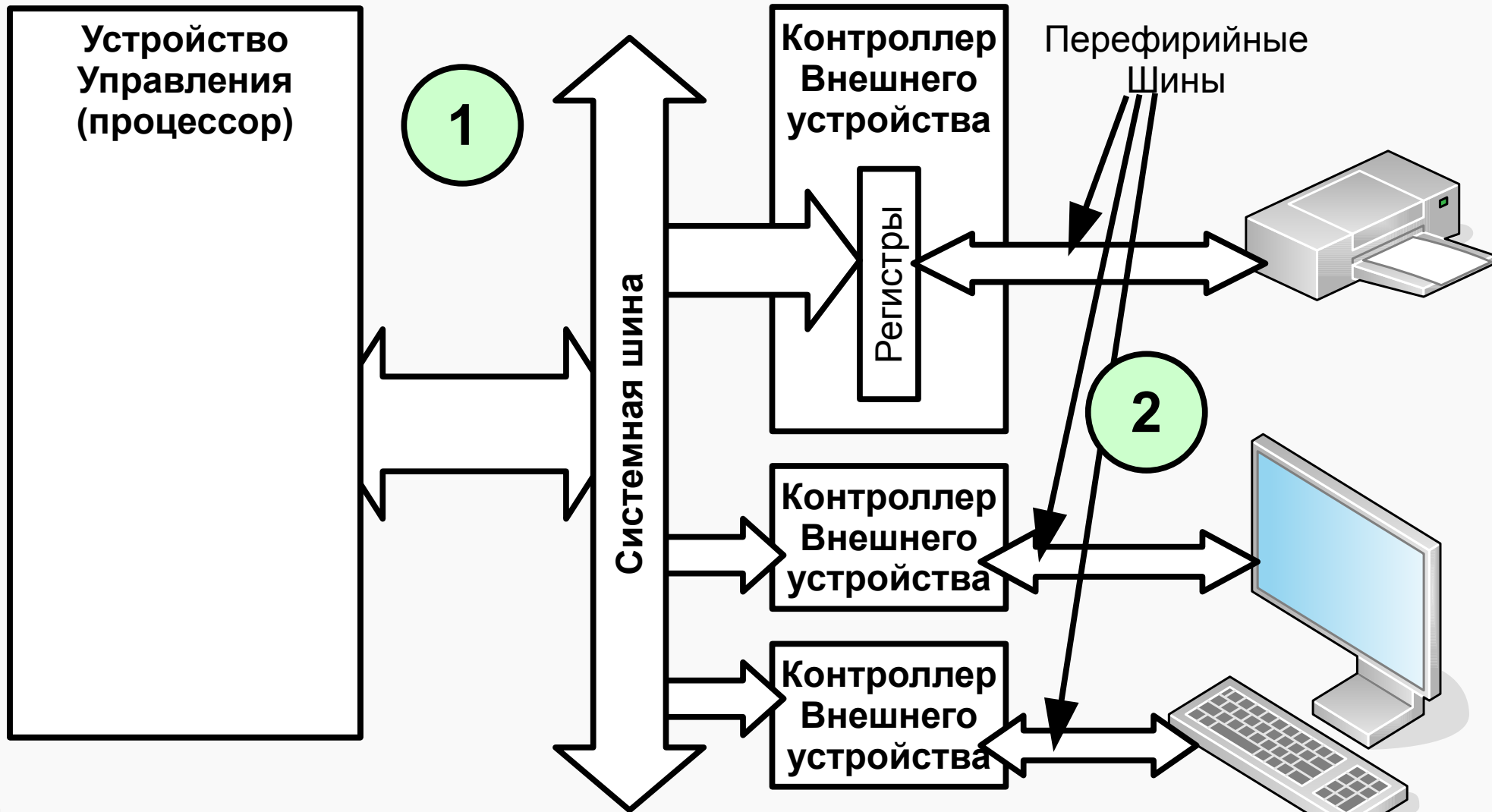
- Определяет конкретные детали обмена
 - Частота, набор каналов передачи, способ кодирования, команды, представления данных, набор данных и последовательность,
- Аппаратная и/или программная реализация
- Нуждаются в точной спецификации и/или стандартизации
 - Стороны обмена должны однозначно интерпретировать детали обмена

Уровни стандартизации интерфейсов

- Логическое подключение
- Физические параметры сигналов
- Конструктивные особенности

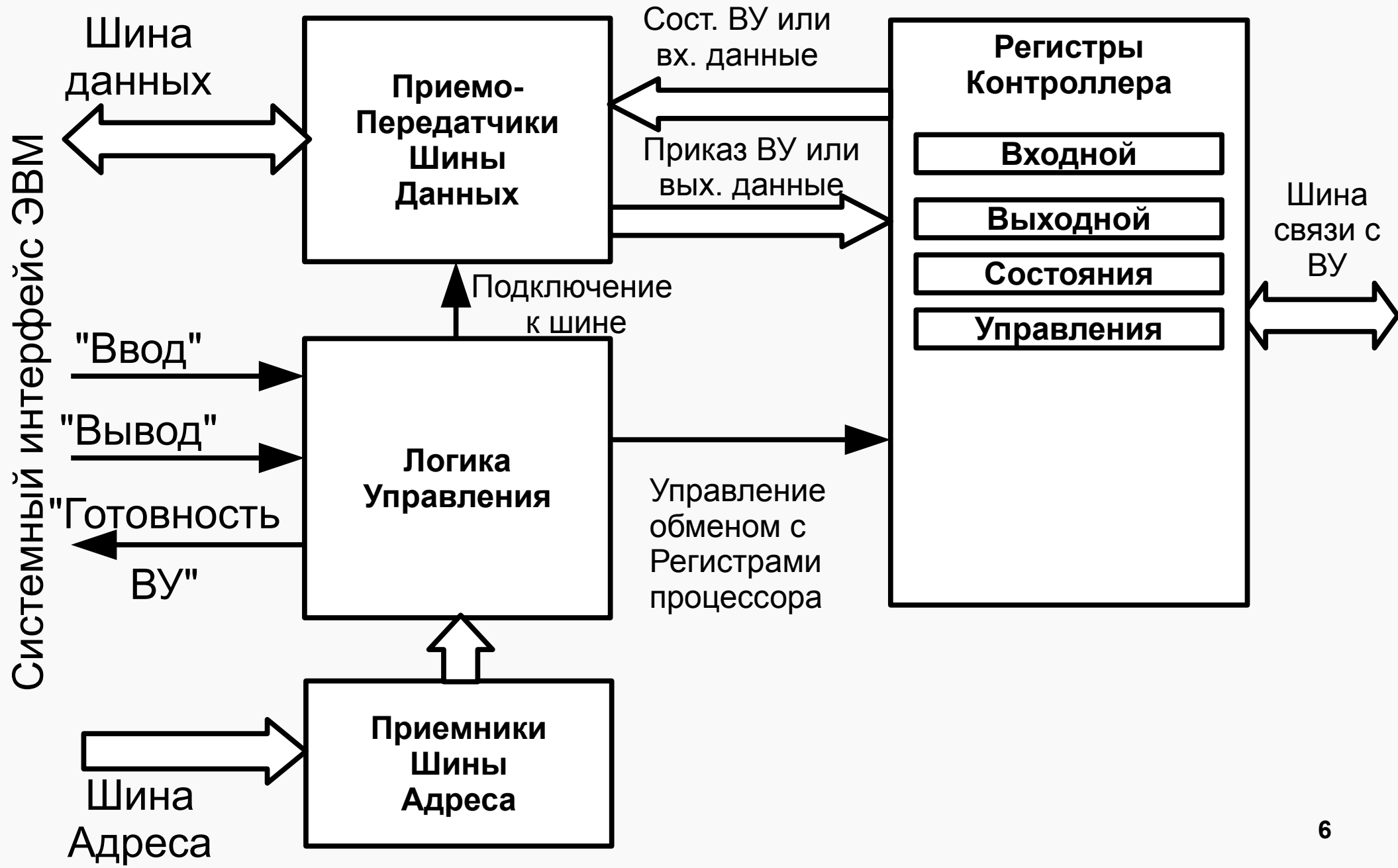


Сопряжение устройств с ЭВМ



- Два уровня сопряжения:
1. Процессор ↔ контроллеры
 2. Контроллеры ↔ ВУ

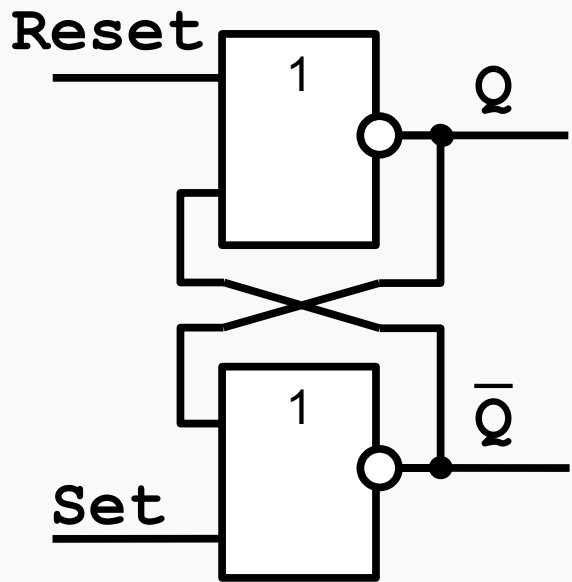
Типичная схема программно-управляемого контроллера



Отступление-напоминание: триггеры

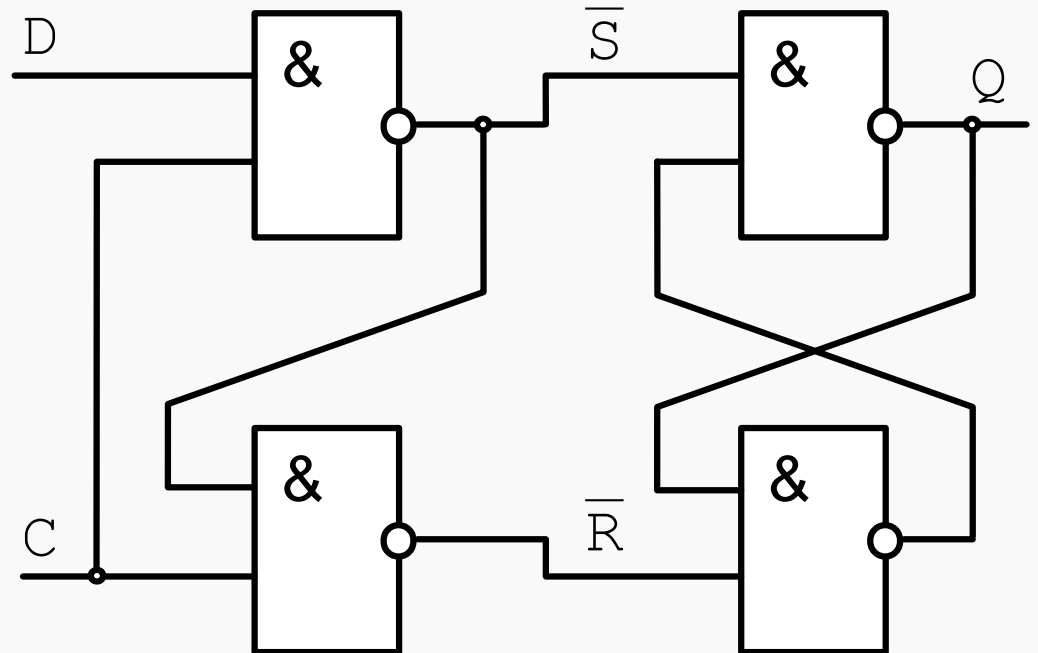


RS-триггер

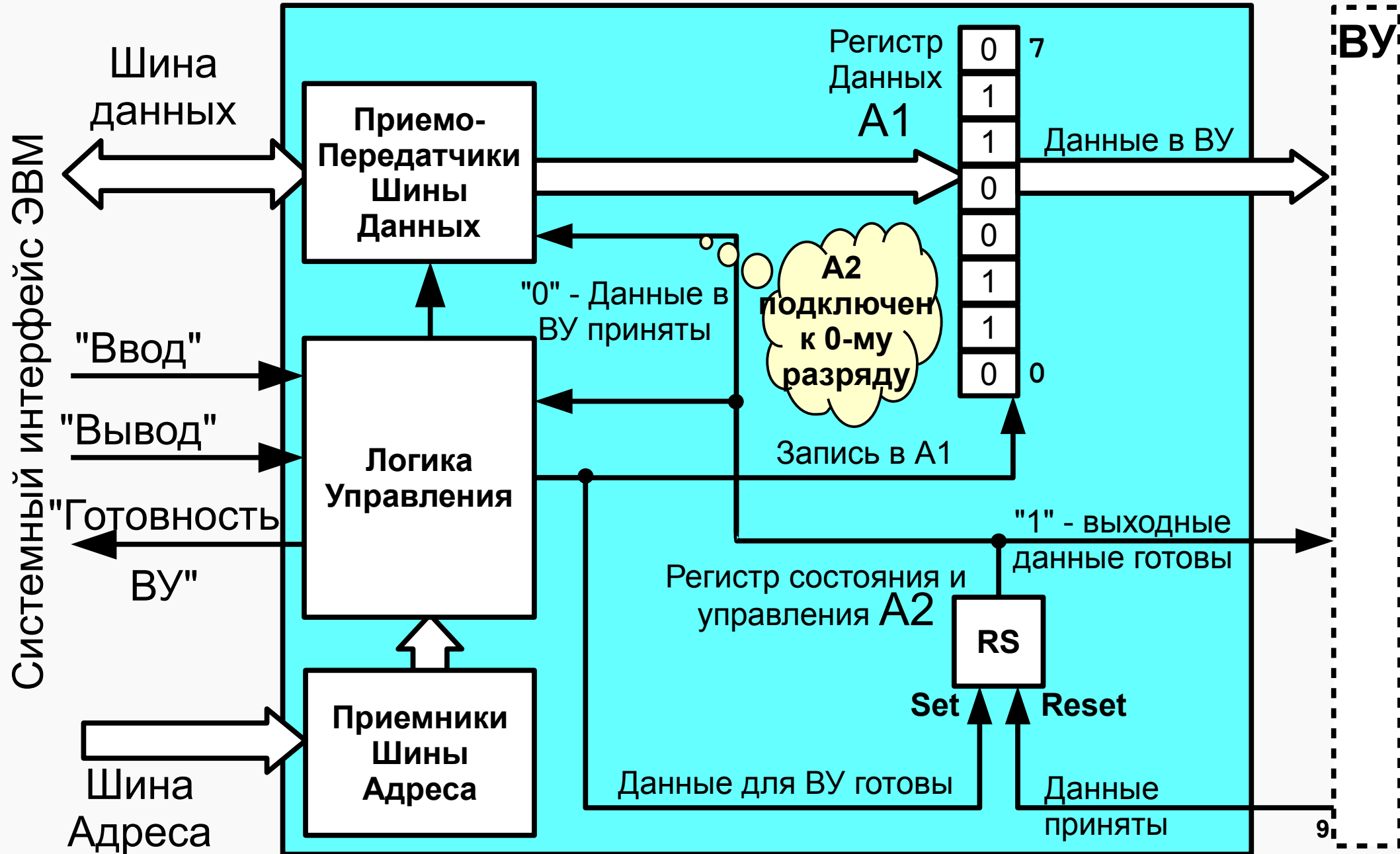


Запрещенная комбинация
 $R=1 S=1$

D-триггер



Контр. передачи параллельного асинхронного интерфейса

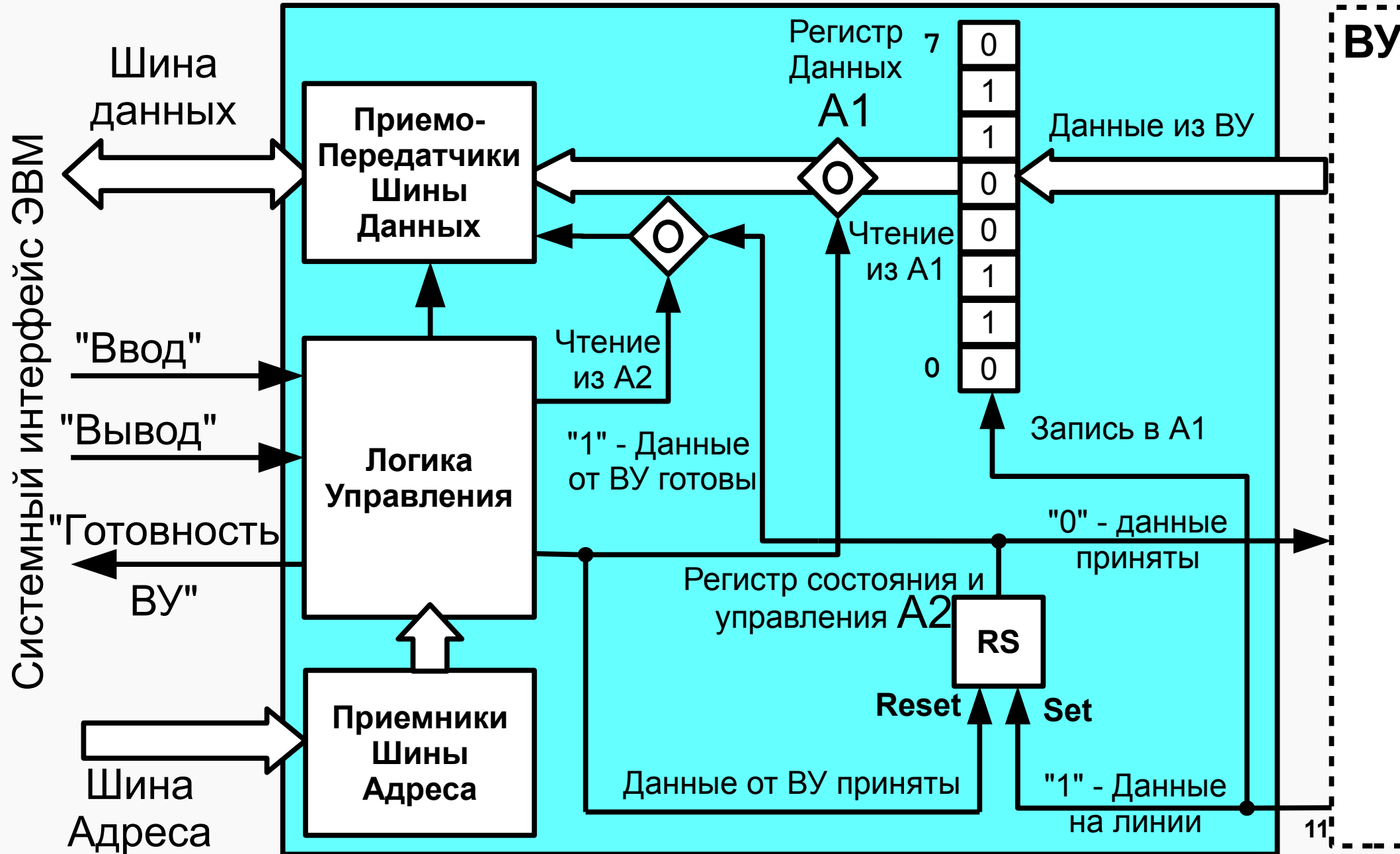


Цикл вывода контроллера

Вывод строки символов на устройство

	ORG	0x10	
ADDR:	WORD	\$BUF	; Адрес начала буфера
BUF:	WORD	10 DUP (?)	; десять символов
	WORD	0	; стоп-символ
BEGIN:	ORG	0x30	
LOOP:	LD	(ADDR) +	; ввод передаваемого байта в АС
	BEQ	ENDO	; Если стоп-символ, то окончание вывода
	OUT	A1	; Запись данных в регистр A1
			; с одновременной установкой A2
SPIN:	IN	A2	; чтение регистра состояния
	ROR		; если "1" то ожидаем
	BCS	SPIN	; передачи данных в ВУ
	BR	LOOP	; "0"-данные переданы, следующий символ
ENDO:	...		; окончание вывода
	HLT		

Контр. приема параллельного асинхронного интерфейса



Цикл ввода контроллера

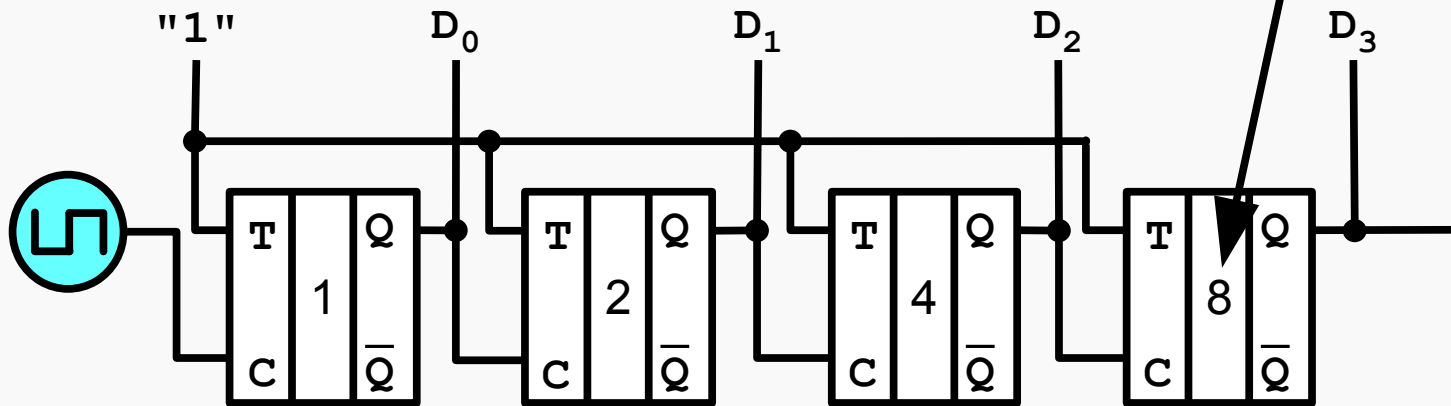
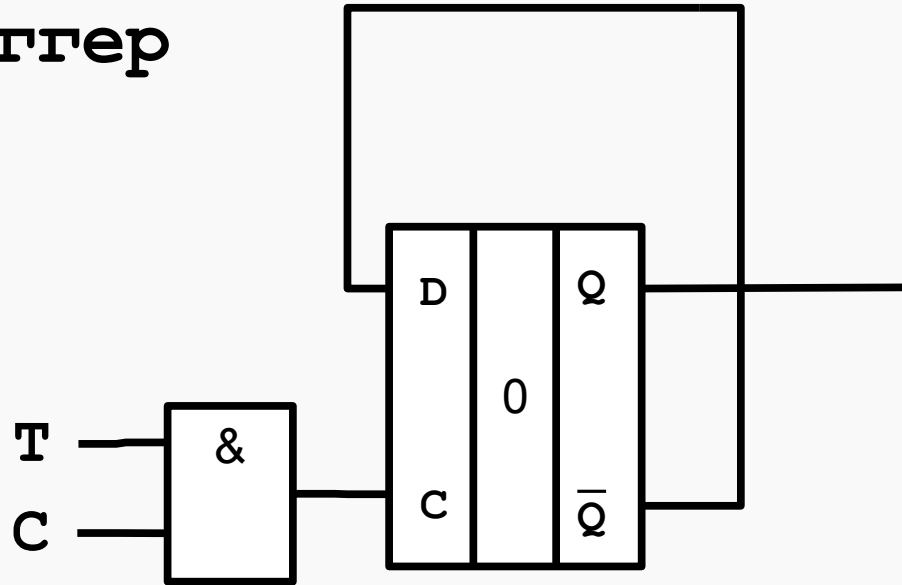
Вывод строки символов на устройство

	ORG	0x10	
ADDR:	WORD	BUF	; Адрес начала буфера
BUF:	WORD	10 DUP (?)	; десять слов для хранения символов
MASK:	WORD	00FF	; маска для очистки старшего байта
BEGIN:	ORG	0x30	
SPIN:	IN	A2	; Цикл проверки приема данных
	ROR		; в регистре A1 (Ждем "1" в A2)
	BCC	SPIN	; Если "1" – можно вводить символ
			; Если "0" – продолжаем ждать
	IN	A1	; ввод передаваемого байта
	AND	MASK	; очистка битов 8–15
	BEQ	ENDO	; Если стоп-символ, то окончание ввода
	ST	(ADDR) +	; аккумулятор
	BR	SPIN	; К следующему символу
ENDO:	...		; окончание ввода
	HLT		

2

Отступление: счетчик

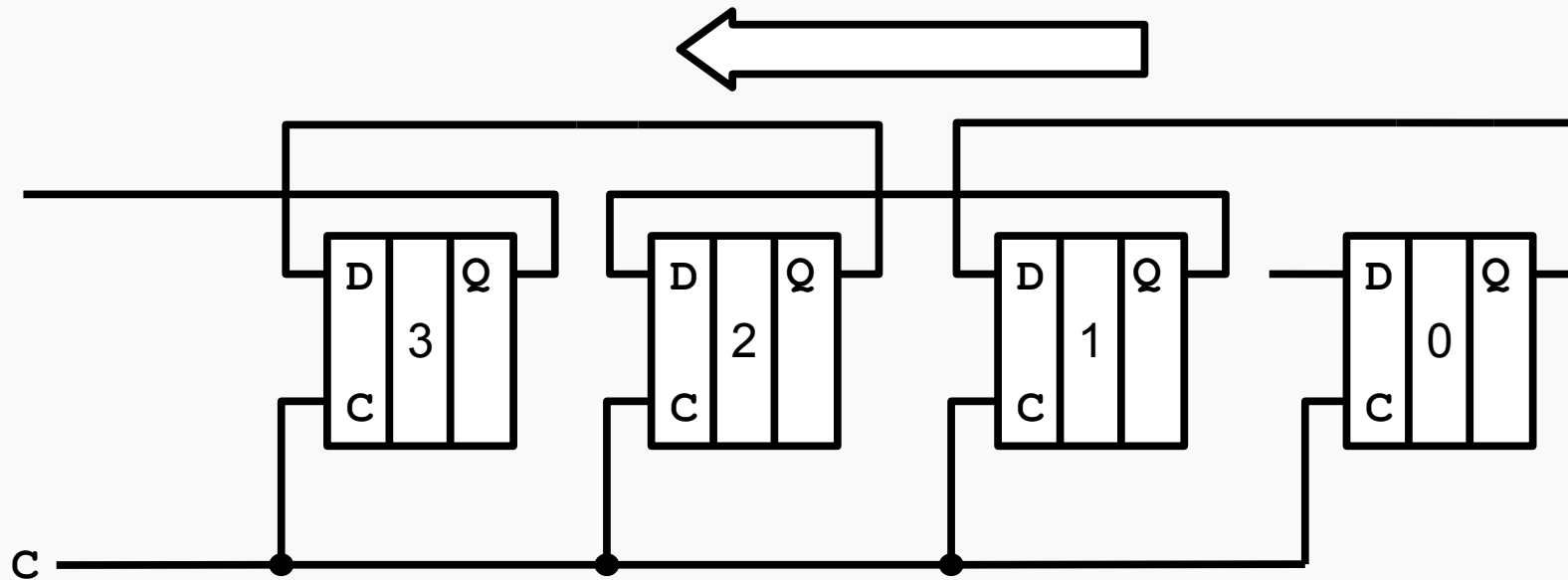
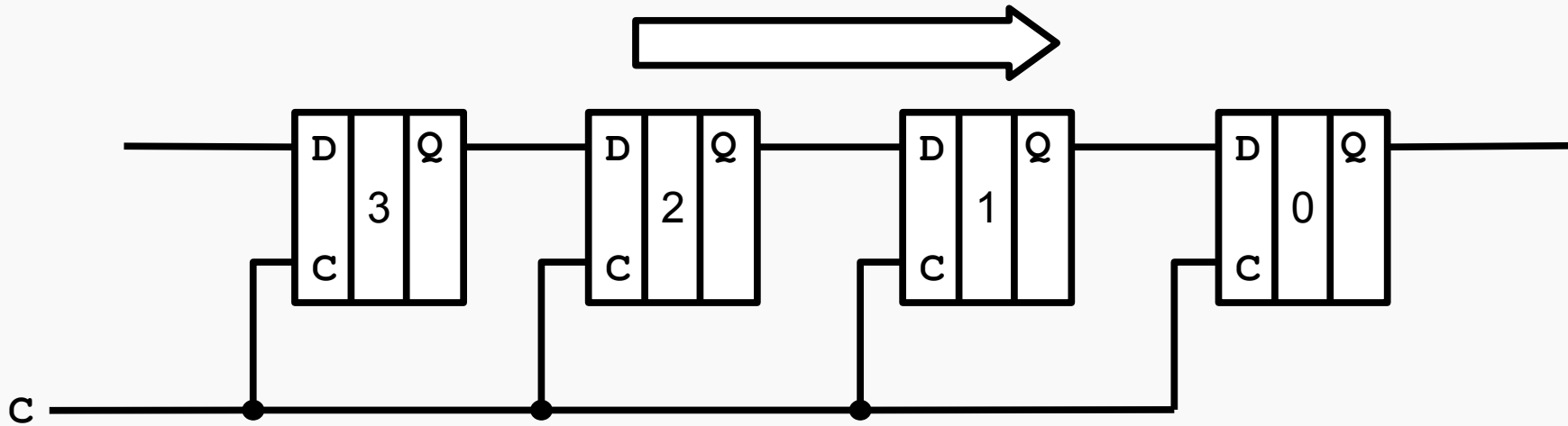
T-триггер



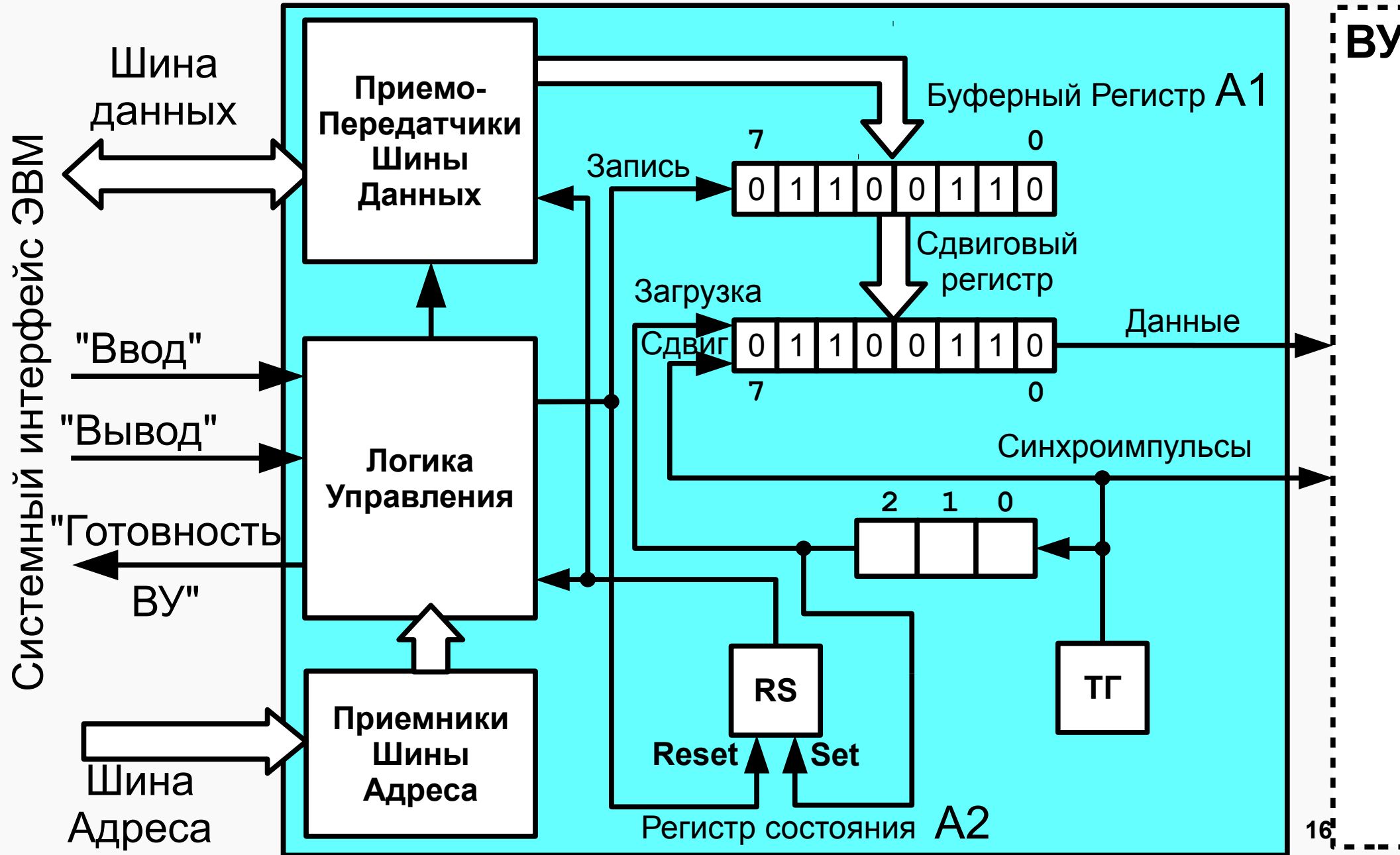
Вес Разряда

Циклический счетчик			
3	2	1	0
8	4	2	1
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	14

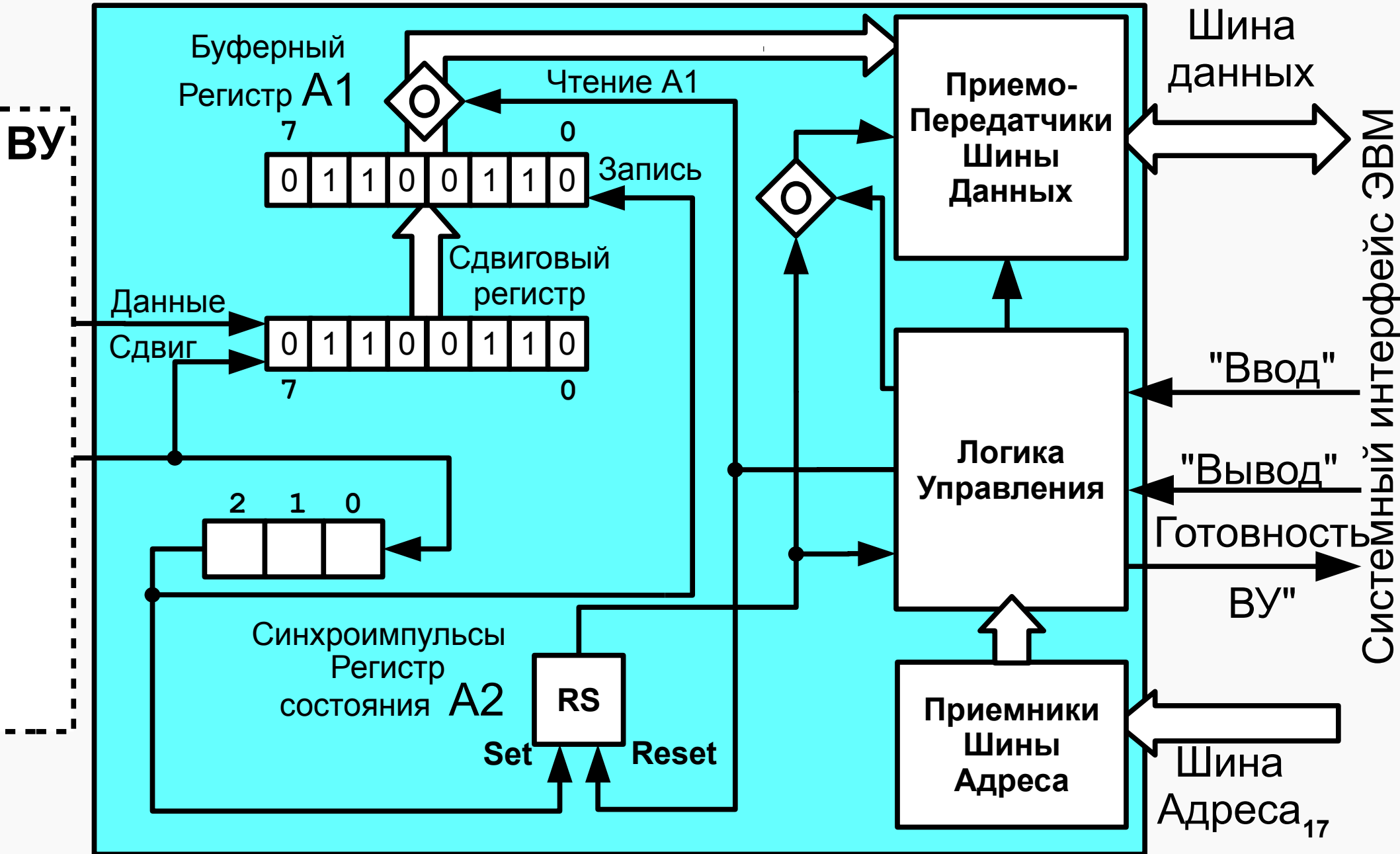
Отступление: сдвиговой регистр



Контролер передачи синхронного последовательного интерфейса



Контр. приема синхронного последовательного интерфейса



Циклы ввода-вывода контроллера

Вывод строки информации на устройство

	0x0	0x10	
ADDR:	ADDR	ADDR	Адрес начала буфера
LEN:	ADDR	10 ADDR(10)	длина строки для вывода информации
MODE:	ADDR	ADDR	маска для вывода старшего байта
	0x0	0x10	
MODE:			
ADDR:	0x	0x	Адрес проверки принятой строки
	ADDR		в регистре ADDR (Адрес *10 и ADDR)
	ADDR	ADDR	Адрес *10 - маска вывода строки
			Адрес *20 - адрес вывода строки
	0x	0x	адрес вычисления строки
ADDR:	ADDR	ADDR	адрес строки, по которому вывод
			адрес строки
	ADDR	ADDR	в строке строки
	---		адрес строки
	ADDR		

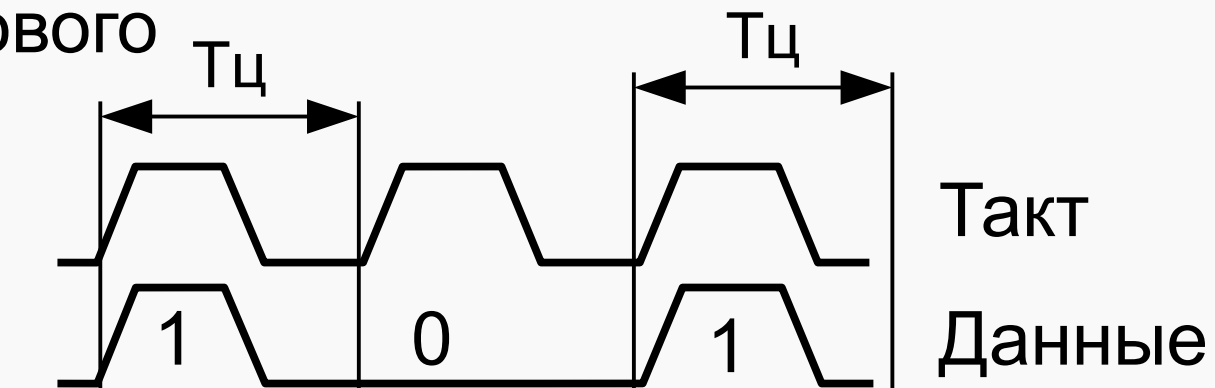
Отступление: последовательный vs параллельный

- Параллельная обмен
 - Быстрее (при одинаковых условиях)
 - Дороже, больше аппаратных ресурсов
 - Менее помехозащитен
 - Дальность передачи меньше
- Последовательный обмен
 - (все наоборот =))

Отступление: синхронный vs асинхронный

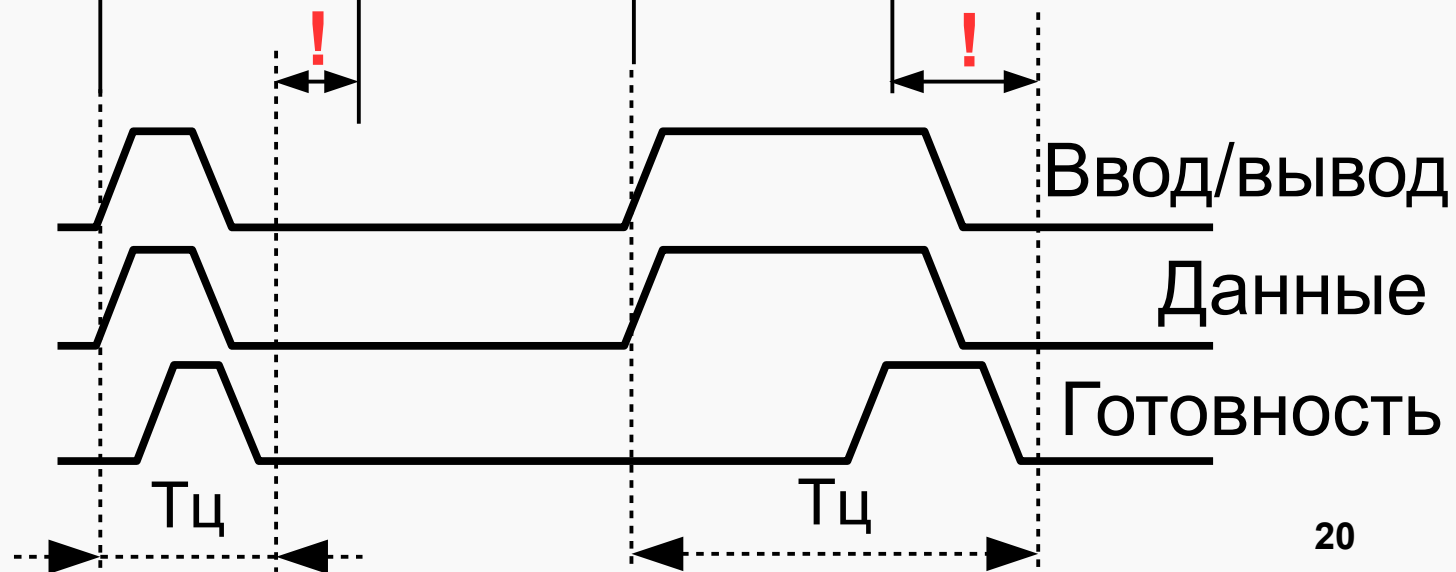
- Синхронная передача данных

- Частота тактового генератора определяет скорость



- Асинхронная передача данных

- Скорость определяет сигнал "готовность"



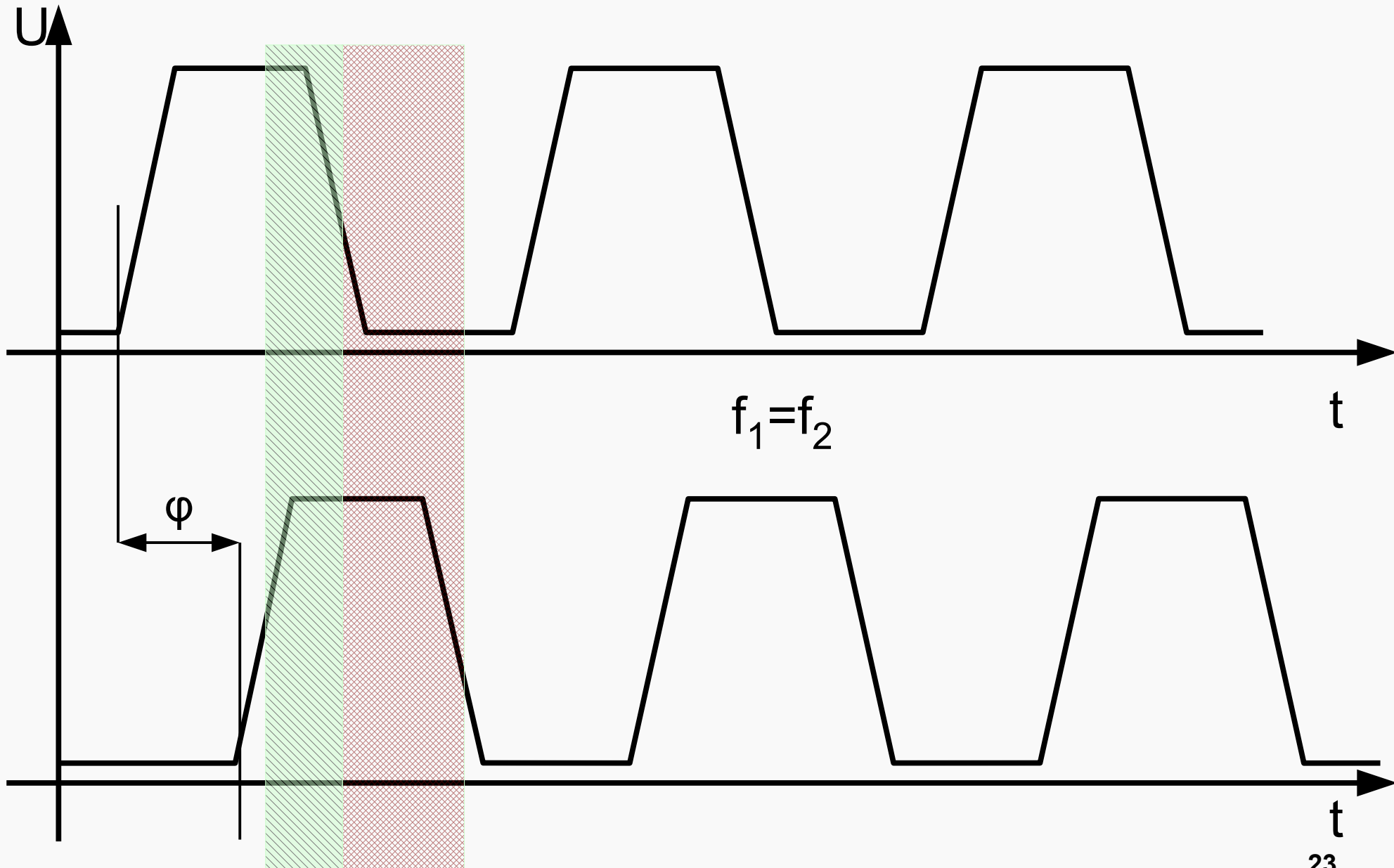


Асинхронные последовательная передача

3

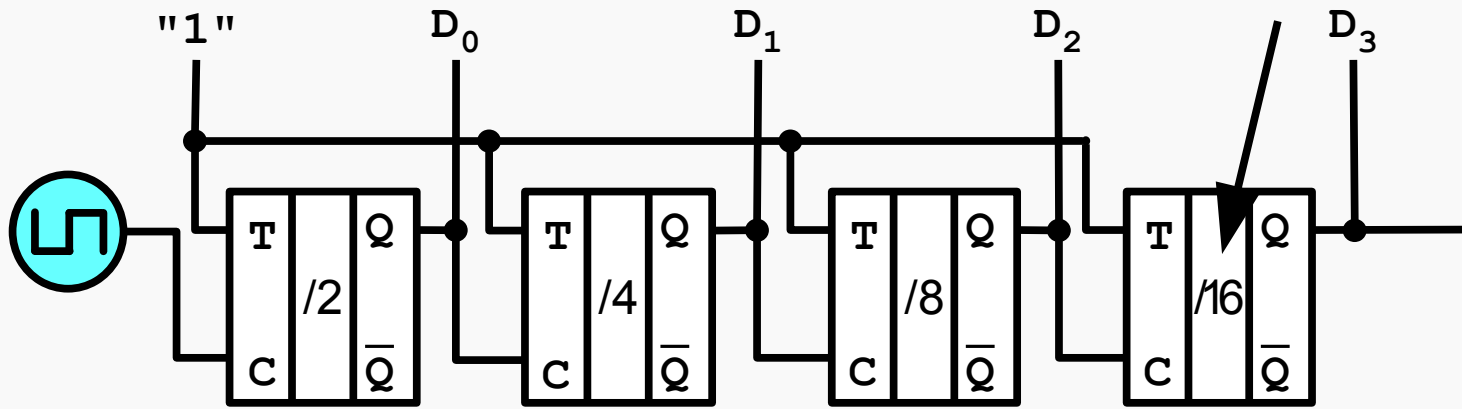
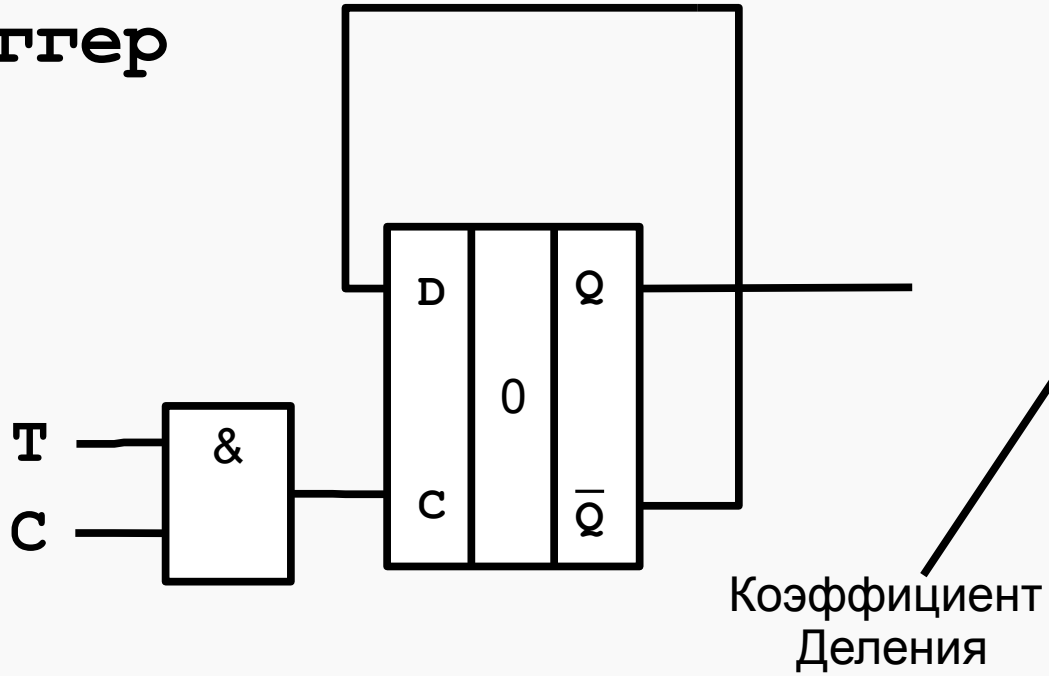
- Хочется сделать каналов передачи еще меньше.
 - В идеале 1-2 "провода"
 - Как бы избавиться от линии синхроимпульсов?
- Что будет, если поместить два разных тактовых генератора одинаковой частоты в приемник и передатчик информации?

Фазовый сдвиг



Комбек: счетчик

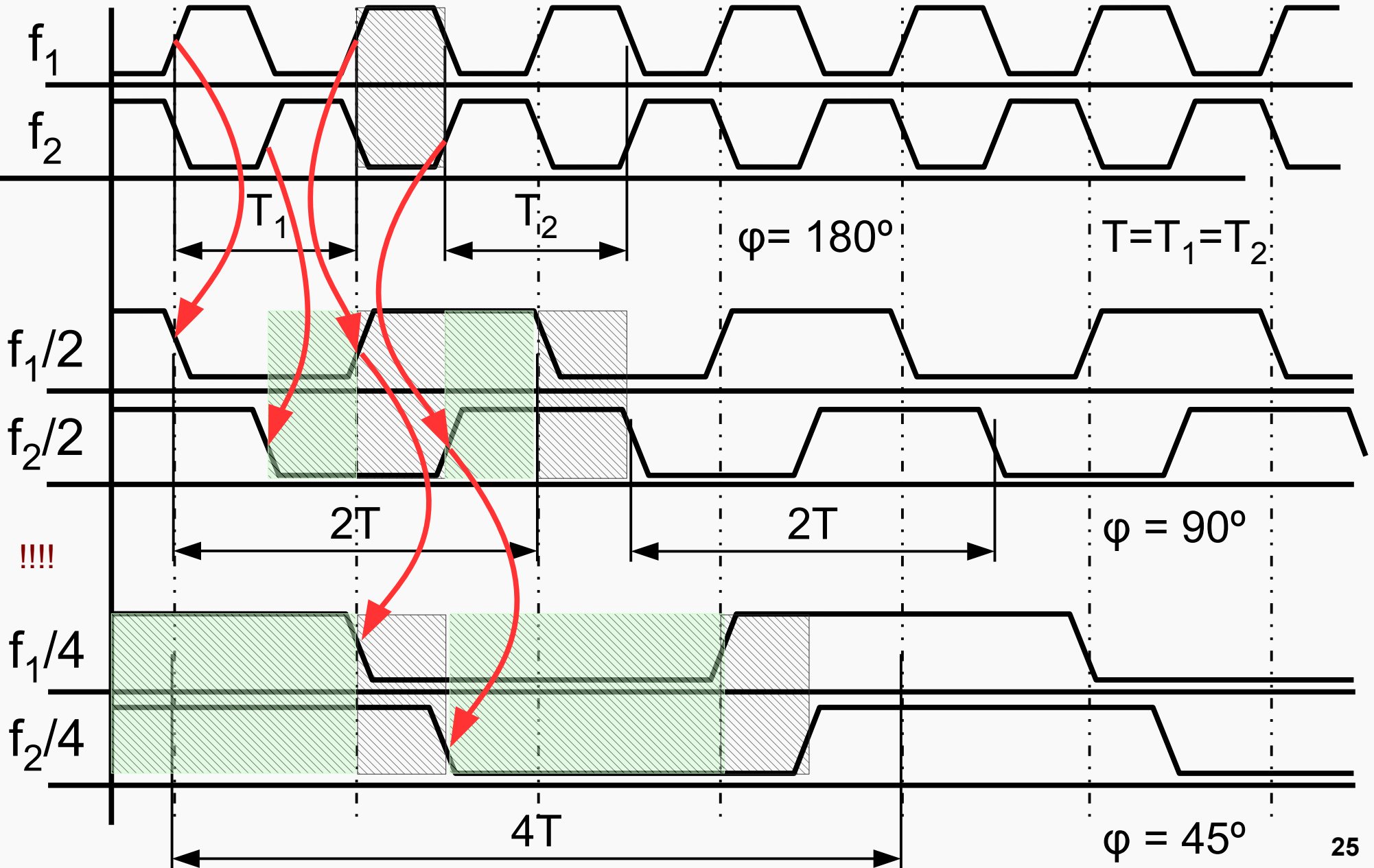
T-триггер



Делитель				
/16	/8	/4	/2	ТГ
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

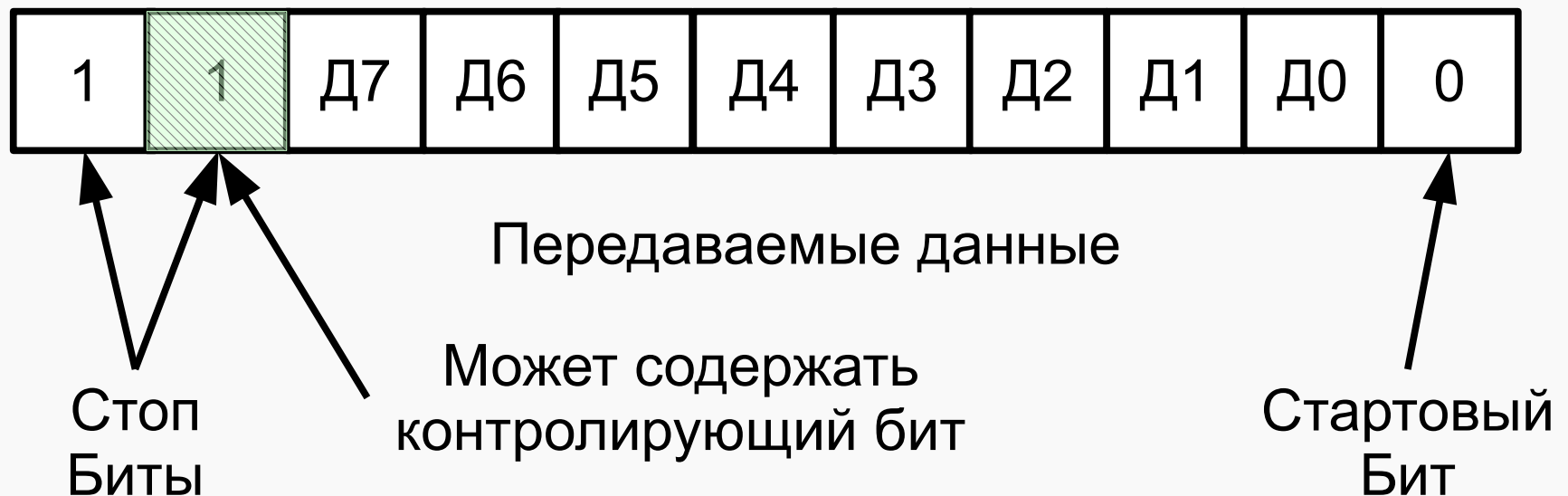
Начальное состояние для след. слайда

Деление частоты

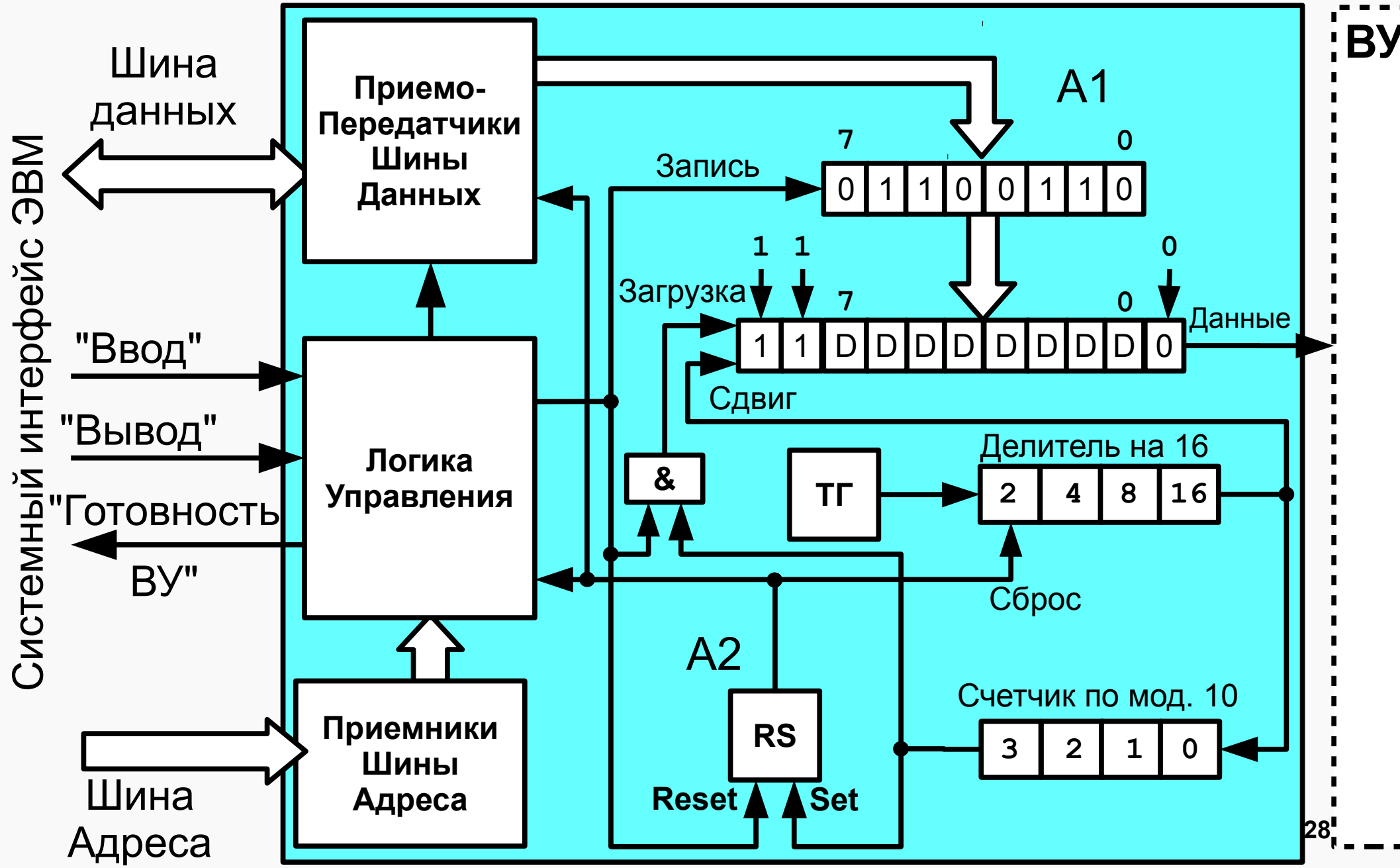


Формат кадра асинхронного обмена

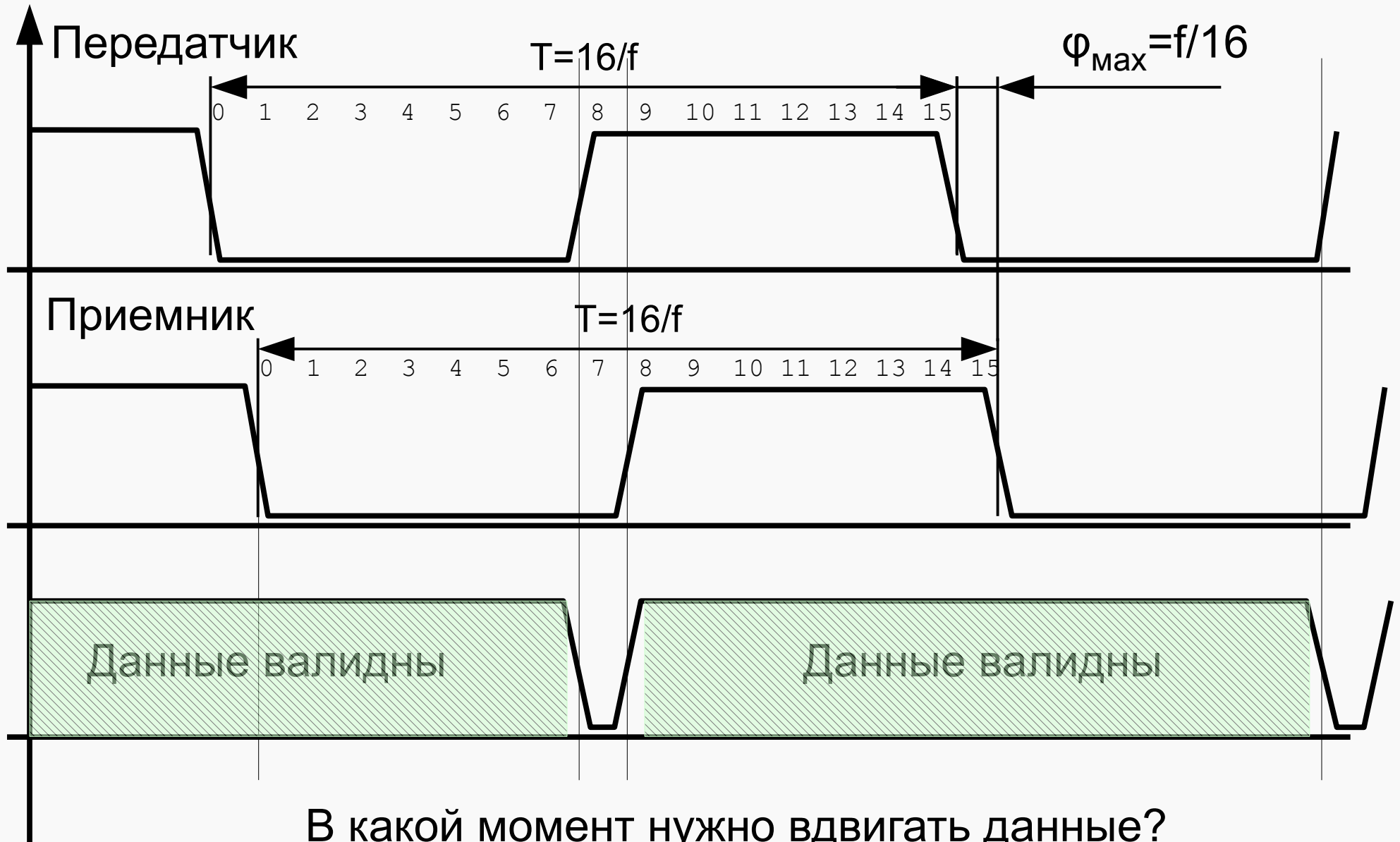
- Пример параметров настройки последовательного асинхронного порта 9600,8,n,1



Контр. передачи асинхронного последовательного интерфейса



Надежный прием: выбор правильного момента



Контр. приема асинхронного последовательного интерфейса

